

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10126400 A**

(43) Date of publication of application: **15.05.98**

(51) Int. Cl

H04L 7/033

H03L 7/08

H03L 7/087

(21) Application number: 08276537

(71) Applicant: **NEC CORP**

(22) Date of filing: 18.10.96

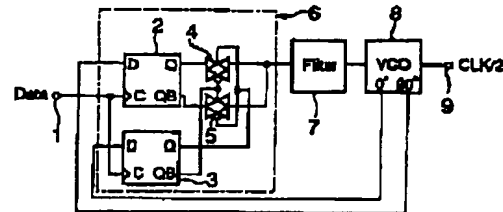
(72) Inventor: HAYATA MASAOKI

(54) PLL

(57) Abstract:

PROBLEM TO BE SOLVED: To provide the PLL in which a clock signal, whose frequency is a half of a bit rate of an input NRZ signal, is extracted from the input NRZ signal.

SOLUTION: A VCO 8 that generates a clock signal, whose frequency is a half of a bit rate of an input NRZ signal, generates two signals whose phase difference is 90°. The signals are given to data input terminals of D-F/F 2, 3. The D-F/F 2, 3 conduct phase identification of output signals of the VCO 8 at a leading of the input signal received by a clock signal input terminal. CMOS switches 4, 5 are closed/open, based on an output of the D-F/F3 to get through or block an output of the D-F/F2, so that their outputs are signals that denote whether the phase of the clock signal is leading to or lagging behind the phase of the input signal.



COPYRIGHT: (C)1998,JPO

(11)特許出願公開番号

特開平10-126400

(43)公開日 平成10年(1998)5月15日

(51) Int.Cl.⁸

識別記号

FI

H04L 7/033

H04L 7/02

B

H03L 7/08

H03L 7/08

M

7/087

P

審査請求 有 請求項の数 4 O L (全 6 頁)

〈21〉出願番号

特開平8-276537

〈22〉出願日

平成8年(1996)10月18日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 早田 征明

東京都港区芝五丁目7番1号 日本電気株式会社内

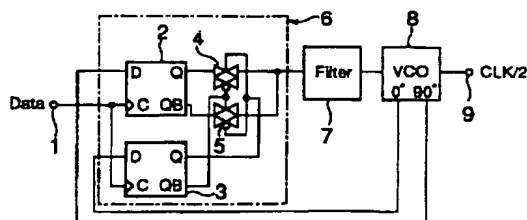
(74)代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 PLL

(57) 【要約】

【課題】 入力NRZ信号からそのビットレートの1/2の周波数のクロック信号を抽出することができるPLLを提供する。

【解決手段】 入力NRZ信号のビットレートの1/2の周波数のクロック信号を発生できるVCO 8は、互いに90°の位相差を持つ2つの信号を発生する。これらの信号は、D-F/F2、3のデータ入力端子に与えられる。D-F/F2、3は、クロック信号入力端子に入力される入力信号の立ち上がりで、VCOの出力信号の位相識別を行なう。CMOSスイッチ4、5は、D-F/F3の出力に基づいて、オン/オフし、その出力が、クロック信号の位相が入力信号の位相に比べて進んでいるのか遅れているのかを示す信号となるように、D-F/F2の出力を通過、阻止する。



【特許請求の範囲】

【請求項1】 入力電圧に応じた周波数のクロック信号を発生するVCOと、入力信号と前記クロック信号とに位相比較を行う位相比較器と、該位相比較器の出力を濾波し前記VCOに前記入力電圧として供給するループフィルタとを有するPLLにおいて、前記VCOが、前記クロック信号を発生するとともに、当該クロック信号と90°の位相差を有する補助クロック信号を発生し、前記位相比較器が、前記入力信号と前記クロック信号との位相比較と、前記入力信号と前記補助クロック信号との位相比較とを行い、これらの位相比較結果を組み合わせることにより、前記クロック信号が前記入力信号のビットレートの1/2のクロック周波数を有する場合に、前記入力信号に対する前記クロック信号の位相の進み遅れを表す信号を前記ループフィルタに供給できるようにしたことを特徴とするPLL。

【請求項2】 前記位相比較器が、前記クロック信号と前記補助クロック信号とがそれぞれデータ入力端子に入力され、前記入力信号がともにクロック入力端子へ入力される2個のDフリップフロップと、該2個のDフリップフロップの出力から前記位相の進み遅れを表す信号を生成するゲート回路とを有することを特徴とする請求項1のPLL。

【請求項3】 前記ゲート回路が、前記2個のDフリップフロップのうちの一方の正論理出力と負論理出力とを、他方のDフリップフロップの正論理出力と負論理出力とに基づいて通過/阻止する一対のCMOSスイッチであることを特徴とする請求項2のPLL。

【請求項4】 前記ゲート回路が、一方のDフリップフロップの正論理出力または負論理出力と、他方のDフリップフロップの正論理出力または負論理出力の排他的論理和を出力する排他的論理和ゲートであることを特徴とする請求項2のPLL。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、PLLに関し、特に、NRZ信号からクロック信号を抽出するPLLに関する。

【0002】

【従来の技術】 光通信等の分野では、伝送信号としてNRZ (Non Return to Zero) 信号がよく用いられる。これは、NRZ信号がRZ (Return to Zero) 信号とは異なり、所要帯域がビットレートの約2/3で済むため、高速電気回路への負担が少ないという特徴があるからである。

【0003】 ところが、NRZ信号は、クロック信号のスペクトル成分を持っていない。このため、NRZ信号からクロック信号を抽出するためには、非線形操作を行う必要がある。クロック信号を抽出する方法としては、非線形回路とフィルタとを組み合わせる方式と、PLL

(Phase Locked Loop : 位相同期回路) を用いる方式とがある。PLLを用いる方式は、非線形回路とフィルタとを組み合わせる方式に比べ、小型である。しかしながら、NRZ信号とクロック信号との位相比較には、RZ信号用等のPLLで使用されるミキサが使用できないので、他の位相比較方法を採用しなければならない。

【0004】 従来のNRZ信号用PLLを図4に示す。このようなPLLは、例えば、文献ISSCC93, TP10, 4の図1及び図2に示されている。

【0005】 図4のPLLは、入力端子40に接続された2つのD-F/F (D-フリップフロップ) 41、42と、ループフィルタ43と、アンプ44と、VCO (Voltage Controlled Oscillator) 45とを有している。ここでは、2つのD-F/F 41、42が、位相比較器を構成している。

【0006】 このPLLでは、入力端子40に入力された入力信号 (NRZ信号) は、2分岐され、D-F/F 41、42のクロック入力端子 (C端子) に与えられる。また、D-F/F 41、42のデータ入力端子 (D端子) には、VCO 45からのクロック信号がそれぞれ与えられる。

【0007】 D-F/F 41は、入力信号の立ち上がり時に、クロック信号の識別を行い、入力信号とクロック信号との位相関係を表す信号を出力する。即ち、D-F/F 41は、入力信号に対してクロック信号の位相が進んでいるときは、正論理出力端子 (Q端子) に“1”を出力し、逆に、入力信号に対してクロック信号の位相が遅れているときは、正論理出力端子に“0”を出力する。また、D-F/F 42は、入力信号の立ち下がり時に、クロック信号の識別を行い、入力信号とクロック信号との位相関係を表す信号を出力する。D-F/F 41は、入力信号に対してクロック信号の位相が進んでいるときは、負論理出力端子 (QB端子) に“0”を出力し、逆に、入力信号に対してクロック信号の位相が遅れているときは、正論理出力端子に“1”を出力する。

【0008】 ループフィルタ43は、D-F/F 41、42の出力信号の高調成分を遮断する。そして、アンプ44は、ループフィルタ43の出力を増幅してVCO 45の発振周波数を制御する。

【0009】 以上のようにして、入力されるNRZ信号に対して位相同期を確立できるPLLが実現される。

【0010】 なお、特開平4-222118号公報、特開平4-207631号公報、及び特開昭62-183216号公報、等には、2つのD-F/Fを用いたPLLが開示されているが、いずれもNRZ信号に対応するものではない。

【0011】

【発明が解決しようとする課題】 従来のPLLでは、各回路がバイポーラトランジスタを用いて構成されているが、このような位相比較回路をCMOSで実現しようと

する場合、低消費電力化が問題になる。

【0012】CMOSを用いた回路では、動作周波数が低いほど、回路に流れる電流量（平均電流）が少なくなり、低消費電力が可能になる。また、PLLからのクロック信号の出力先がDMUX回路等の場合には、VCOが出力するクロックの周波数が、入力信号のクロック周波数（ビットレート）の1/2であっても差支えない。したがって、VCOが出力するクロックの周波数を入力信号のビットレートの1/2にして、位相比較回路の動作周波数を従来の1/2にすることができれば、PLLの低消費電力を実現することができる筈である。

【0013】しかしながら、従来のPLLでは、VCOからのクロック信号が、入力信号のビットレートの1/2の場合、入力信号とクロック信号との位相比較を行うことができない、つまり、PLLとして動作しないという問題点がある。

【0014】本発明は、入力NRZ信号から、そのビットレートの1/2の周波数のクロック信号を抽出することができるPLLを提供し、もって、低消費電力が可能なPLLを提供することを目的とする。

【0015】

【課題を解決するための手段】本発明によれば、入力電圧に応じた周波数のクロック信号を発生するVCOと、入力信号と前記クロック信号とに位相比較を行う位相比較器と、該位相比較器の出力を濾波し前記VCOに前記入力電圧として供給するループフィルタとを有するPLLにおいて、前記VCOが、前記クロック信号を発生するとともに、当該クロック信号と90°の位相差を有する補助クロック信号を発生し、前記位相比較器が、前記入力信号と前記クロック信号との位相比較と、前記入力信号と前記補助クロック信号との位相比較とを行い、これらの位相比較結果を組み合わせることにより、前記クロック信号が前記入力信号のビットレートの1/2のクロック周波数を有する場合に、前記入力信号に対する前記クロック信号の位相の進み遅れを表す信号を前記ループフィルタに供給できるようにしたことを特徴とするPLLが得られる。

【0016】また、本発明によれば、前記位相比較器が、前記クロック信号と前記補助クロック信号とがそれぞれデータ入力端子に入力され、前記入力信号とともにクロック入力端子へ入力される2個のDフリップフロップと、該2個のDフリップフロップの出力から前記位相の進み遅れを表す信号を生成するゲート回路とを有することを特徴とするPLLが得られる。

【0017】前記ゲート回路としては、前記2個のDフリップフロップのうちの一方の正論理出力と負論理出力とを、他方のDフリップフロップの正論理出力と負論理出力とに基づいて通過/阻止する一対のCMOSスイッチや、一方のDフリップフロップの正論理出力または負論理出力と、他方のDフリップフロップの正論理出力ま

たは不論理出力の排他的論理和を出力する排他的論理和ゲートが使用できる。

【0018】

【作用】VCOは、入力信号のビットレートの1/2の周波数のクロック信号を発生可能であり、互いに90°の位相差を持つ2つのクロック信号（0°及び90°）を発生する。2つのクロック信号は、それぞれ別のD-F/Fのデータ入力端子に入力される。各D-F/Fのクロック入力端子には、入力信号が入力されており、入力信号の立ち上がりのタイミングで、クロック信号の識別を行なう。各D-F/Fのデータ入力端子に入力される2つのクロック信号が、互いに90°の位相差を持っているので、これらD-F/Fの出力をCMOSスイッチ等で組み合わせれば、入力信号のビットレートの1/2の周波数のクロック信号の入力信号に対する位相の進み遅れを表す信号が得られる。この信号は、フィルタを介してVCOの制御に使用され、VCOが発生するクロック信号は、入力信号に位相同期する。

【0019】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。

【0020】図1に本発明の第1の実施の形態を示す。図1のPLLは、クロック入力端子（C端子）が信号入力端子1に接続された2つのD-F/F2、3と、CMOSスイッチ4、5とを有する位相比較回路6、フィルタ7、及び、入力信号のクロックレートの半分の周波数のクロック信号を出力でき、互いに90°の位相差を有するクロック信号を発生するVCO8を有している。

【0021】ここで、D-F/F2のデータ入力端子（D端子）は、0°の位相を持つ（出力端子9に供給されるクロック信号に位相同期する）クロック信号が入力されるよう、VCO8に接続されている。また、D-F/F3のデータ入力端子は、90°の位相を持つ（出力端子9に供給されるクロック信号より90°位相が進んだ）クロック信号が入力されるよう、VCO8に接続されている。また、D-F/F2の正論理出力端子（Q端子）は、CMOSスイッチ4の入力端子に、負論理出力端子（QB端子）は、CMOSスイッチ5の入力端子に接続されている。さらにまた、D-F/F3の正論理出力端子は、CMOSスイッチ4の正論理制御端子とCMOSスイッチ5の負論理制御端子に接続され、負論理出力端子は、CMOSスイッチ4の負論理制御端子とCMOSスイッチ5の正論理制御端子に接続されている。そして、CMOSスイッチ4及び5の出力端子は、いずれもフィルタ7の入力端子に接続され、フィルタ7の出力端子がVCO8の制御端子に接続され、PLLを構成している。

【0022】次に、図2を参照して、図1のPLLの動作を説明する。まず始めに、入力信号（NRZ信号）のビットレートの1/2の周波数を有するクロックの位相

と、入力信号の位相との、比較する方法について説明する。

【0023】VCO8が発生する2つのクロック信号の位相は、互いに 90° の位相差があるので、図2(a)に示すような関係にある。ここで、 0° クロック信号の1周期分を4分割し、各領域を α 、 β 、 γ 、及び、 δ とする。入力信号の1ビットは、クロック信号の半周期分に相当するので、その立ち上がり、 α または γ の領域に存在するとき、クロック信号の位相が入力信号の位相よりも進んでいる状態にある。また、入力信号の立ち上

がり、 β 及び δ の領域に存在するとき、クロック信号の位相が入力信号の位相よりも遅れている状態にある。

【0024】さて、入力信号の立ち上がり、領域 α に存在するとき、 0° クロック信号は、“1”の状態にある。また、入力信号の立ち上がり、領域 β に存在するときも、 0° クロック信号は、“1”の状態にある。したがって、 0° クロック信号の状態だけでは、入力信号の立ち上がり、どの領域に存在するのか判定できない。つまり、クロック信号の位相が入力信号の位相よりも進んでいるのか、遅れているのか判定できない。同様

に、入力信号の立ち上がり、クロック信号の領域 γ 、 δ に存在するときも、クロック信号の位相が入力信号の位相よりも進んでいるのか、遅れているのか判定できない。

【0025】しかしながら、 90° クロック信号をみると、入力信号の立ち上がり、領域 α に存在するときは“1”なのに対して、領域 β に存在するときは“0”になっている。また、 90° クロック信号は、入力信号の立ち上がり、領域 γ に存在するとき“0”なのに対して、領域 δ に存在するときは“1”になっている。したがって、 0° クロック信号と 90° クロック信号の双方の状態をみれば、入力信号の立ち上がり、どの領域に存在するのか判定できる。即ち、クロック信号の位相が入力信号の位相よりも進んでいるのか、遅れているのかを判定することができる。図1のPLLでは、このような判定を2個のD-F/F2、3で実現している。

【0026】D-F/F2、3は、それぞれ、入力信号の立ち上りのタイミングで、 0° クロック信号と 90° クロック信号とをサンプリングする。入力信号に対して 0° クロック信号の位相が進んでいる場合は、例えば、図2(b)に示すようになる。即ち、サンプリング点A及びBにおいては、D-F/F2は、正論理出力端子に“0”を出力し、D-F/F3も正論理出力端子に“0”を出力する。これは、入力信号の立ち上がり、図2(a)の領域 γ に存在する場合に相当する。また、サンプリング点Cにおいては、D-F/F2は、正論理出力端子に“1”を出力し、D-F/F3も正論理出力端子に“1”を出力する。これは、入力信号の立ち上がり、図2(a)の領域 α に存在する場合に相当する。

【0027】D-F/F2、3がともに、正論理出力端

子に“1”を出力し、負論理出力端子に“0”を出力した場合、D-F/F3の出力に基づいて、CMOSスイッチ4はオンし、CMOSスイッチ5はオフする。そして、CMOSスイッチ4の入力端子には、D-F/F2の正論理出力端子から“1”が与えられているので、その出力は“1”となる。また、D-F/F2、3がともに、正論理出力端子に“0”を出力し、負論理出力端子に“1”を出力した場合、D-F/F3の出力に基づいて、CMOSスイッチ4はオフし、CMOSスイッチ5はオンする。そして、CMOSスイッチ5の入力端子には、D-F/F2の負論理出力端子から“1”が与えられているので、その出力は“1”となる。つまり、図2(b)に示すように、入力信号に対して 0° クロック信号の位相が進んでいる場合は、ループフィルタには、“1”が入力される。

【0028】逆に、入力信号に対して 0° クロック信号の位相が遅れている場合は、例えば、図2(c)のようになる。即ち、サンプリング点A'及びB'においては、D-F/F2は、正論理出力端子に“1”を出力し、D-F/F3は、正論理出力端子に“0”を出力する。これは、入力信号の立ち上がり、図2(a)の領域 β に存在する場合に相当する。また、サンプリング点C'においては、D-F/F2は、正論理出力端子に“0”を出力し、D-F/F3は、正論理出力端子に“0”を出力する。これは、入力信号の立ち上がり、図2(a)の領域 δ に存在する場合に相当する。

【0029】D-F/F2が、正論理出力端子に“1”を出力し、D-F/F3が、正論理出力端子に“0”を出力した場合、D-F/F3の出力に基づいて、CMOSスイッチ4はオフし、CMOSスイッチ5はオンする。このとき、CMOSスイッチ5の入力端子には、D-F/F2の負論理出力端子から“0”が与えられているので、その出力は“0”となる。また、D-F/F2が、正論理出力端子に“0”を出力し、D-F/F3が、正論理出力端子に“1”を出力した場合、D-F/F3の出力に基づいて、CMOSスイッチ4はオンし、CMOSスイッチ5はオフする。このとき、CMOSスイッチ4の入力端子には、D-F/F2の正論理出力端子から“0”が与えられているので、その出力は“0”となる。このように、入力信号に対して 0° クロック信号の位相が遅れている場合は、図2(c)に示すように、ループフィルタには、“0”が入力される。

【0030】以上のようにして、図1のPLLでは、位相比較回路6において、入力信号と、入力信号のビットレートの $1/2$ の周波数のクロック信号との比較が実現できる。

【0031】位相比較回路6における比較結果は、フィルタ7へ出力され、高調波が除去された後、VCOに供給される。

【0032】本実施の形態を有する、2.4 Gb/s 光通

信用PLLを試作した。試作したPLLは、入力されるNRZ信号に同期して、1.2GHzのクロック信号を発生した。また、消費パワーは、従来のほぼ1/2であった。

【0033】次に、図3を参照して本発明の第2の実施の形態について説明する。このPLLでは、図1のCMOSスイッチ4、5の代わりに、排他的論理和ゲート(EX-OR)10を有している。

【0034】EX-OR10は、その入力端子が、D-F/F2の正論理出力端子とD-F/F3の負論理出力端子とに接続されており、D-F/F2、3が共に正論理出力端子に、“0”または“1”を出力しているときに、“0”を出力する。また、D-F/F2が正論理出力端子に“0”を出力し、D-F/F3が正論理出力端子に“1”を出力しているとき、及びD-F/F2が正論理出力端子に“1”を出力し、D-F/F3が正論理出力端子に“0”を出力しているときは、“1”を出力する。これにより、図1のPLLと同様の動作を実現できる。

【0035】本実施の形態では、排他的論理和ゲートを用いることにより、他の回路もバイポーラトランジスタで構成できる。もちろん、この実施の形態では、CMOSを用いたときのように、消費電力の大幅な低減は実現できないが、動作速度の低下に伴い、電源電圧を引き下げることも可能となり、消費電力の低減効果がある。

【0036】

【発明の効果】本発明によれば、出力クロック信号と、出力クロック信号に対して90°の位相差を持つ信号とを、各々入力信号と位相比較するようにしたので、出力クロック信号の周波数が入力信号のビットレートの1/2であっても、出力クロック信号と入力信号との位相比

較を行うことができる。これにより、各回路の動作速度を低減でき、もって消費電力の低下を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すブロック図である。

【図2】図1のPLLの動作を説明するため波形図であって、(a)は、0°クロック信号と90°クロック信号の位相関係と、これらの信号と入力信号との位相関係を説明するための図、(b)は、出力クロック信号の位相が入力信号の位相よりも進んでいる場合の各部の出力波形図、(c)は、出力クロック信号の位相が入力信号の位相よりも遅れている場合の各部の出力波形図である。

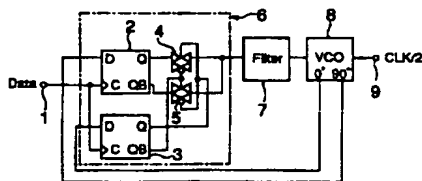
【図3】本発明の第2の実施の形態を示すブロック図である。

【図4】従来のPLLのブロック図である。

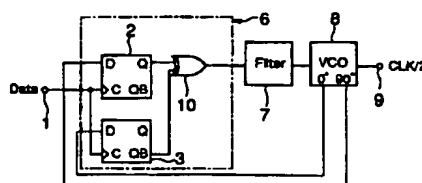
【符号の説明】

- | | |
|--------|------------------------------------|
| 1 | 信号入力端子 |
| 2, 3 | D-F/F |
| 4, 5 | CMOSスイッチ |
| 6 | 位相比較回路 |
| 7 | フィルタ |
| 8 | VCO |
| 9 | 出力端子 |
| 10 | 排他的論理和ゲート (EX-OR) |
| 40 | 入力端子 |
| 41, 42 | D-F/F (D-フリップフロップ) |
| 43 | ループフィルタ |
| 44 | アンプ |
| 45 | VCO (Voltage Controlled Oscilater) |

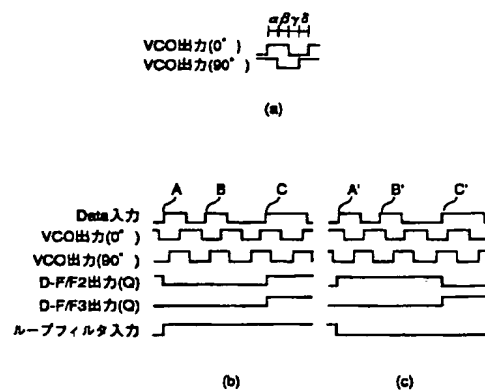
【図1】



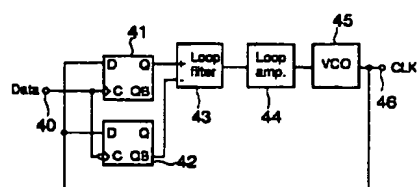
【図3】



【図2】



【図4】



English Translation of Japanese Laid-Open Patent Application
NO. 10-126400

(54) [Title of the Invention]

PLL

(57) [Abstract]

[Task]

To provide a PLL capable of extracting a clock signal having $1/2$ frequency of a bit rate of an input NRZ signal from the input NRZ signals.

[Solution]

A VCO 8 capable of generating a clock signal having $1/2$ frequency of a bit rate of an input NRZ signal generates two signals having the phase difference of 90 degrees with each other. These signals are supplied to data input terminals, namely, D-F/F 2 and D-F/F 3. The D-F/F 2 and D-F/F 3 perform the phase identification of an output signal of the VCO at the rise of an input signal to be inputted in a clock signal input terminal. CMOS switches 4 and 5 are turned on and off on the basis of the output of the D-F/F 3 and then, the CMOS switches 4 and 5 put through and intercept the output of the D-F/F 2 so that the output thereof becomes a signal indicating whether the phase of the clock signal gets ahead of or gets behind the phase of the input signal.

[Claims]

1. A PLL having a VCO for generating a clock signal having a frequency in accordance with an input voltage, a phase

comparator for comparing a phase of an input signal with a phase of the clock signal and a loop filter for filtering the output of the phase comparator and supplying the filtered output to the VCO as the input voltage;

wherein the VCO generates an auxiliary clock signal having a phase difference of 90 degrees with respect to the present clock signal as well as generates the clock signal;

the phase comparator compares the phase of the input signal with the phase of the clock signal and further and compares the phase of the input signal with the phase of the auxiliary clock signal, so that, in the case that the clock signal has a clock frequency that is $1/2$ of a bit rate of the input signal, it is possible to supply a signal indicating whether the phase of the clock signal gets advance of or gets behind the phase of the input signal to the loop filter by combining these phase comparison results.

2. A PLL according to claim 1,

wherein the phase comparator has two D flip flops, in which the clock signal and the auxiliary clock signal are inputted in a data input terminal, respectively, and these input signals are together inputted in a clock input terminal; and a gate circuit for generating a signal indicating whether the phase gets advance or behind from the output of the two D flip flops.

3. A PLL according to claim 2,

wherein the gate circuit comprises a pair of CMOS switches for putting through / intercepting a positive logical output

and a negative logical output of one of the two D flip flops on the basis of a positive logical output and a negative logical output of other one of the two D flip flops.

4. A PLL according to claim 2,

wherein the gate circuit comprise an exclusive logical addition gate for outputting a positive logical output or a negative logical output of one of the two D flip flops and a positive logical output or a negative logical output of other one of the two D flip flops.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[TECHNICAL FIELD TO WHICH THE INVENTION PERTAINS]

The present invention relates to a PLL and particularly, the present invention relates to a PLL for extracting a clock signal from NRZ signals.

[0002]

[PRIOR ART]

In a field of an optical communication or the like, as a transmission signal, a NRZ (Non Return to Zero) signal is often used. It is because that the NRZ signal is different from a RZ (Return to Zero) signal in that a required bandwidth is about 2/3 of a bit rate so that a burden to a high speed electric circuit.

[0003]

However, the NRZ signal does not have a spectrum component of a clock signal. Therefore, in order to extract the clock signal from the NRZ signals, it is necessary to perform the

non-linear operation. As a method to extract the clock signal, there are a system for combining a non-linear circuit and a filter and a system for using a PLL (Phase Locked Loop: a phase synchronization circuit). Compared to the system for combining the non-linear circuit and the filter, the system for using the PLL is compact. However, since it is not possible to use a mixer to be used in the PLL such as a RZ signal or the like for the phase comparison of the NRZ signal and the clock signal, other phase comparing method should be adopted.

[0004]

A conventional PLL for a NRZ signal is shown in FIG. 4. For example, such a PLL is shown in a document ISSCC93, TP10, 4, in FIGS. 1 and 2.

[0005]

The PLL shown in FIG. 4 has two D-F/F (D-flip flop) 41, 42, which are connected to an input terminal 40, a loop filter 43, an amplifier 44 and a VCO (Voltage Controlled Oscillator) 45. In this case, two D-F/F 41 and 42 constitute a phase comparator.

[0006]

In this PLL, an input signal (a NRZ signal), which is inputted in an input terminal 40, is branched into two to be supplied to a clock input terminal (a C terminal) of the D-F/F 41 and 42. Alternatively, clock signals are supplied from a VCO 45 to data input terminals (D terminals) of the D-F/F 41 and 42, respectively.

[0007]

" "

The D-F/F 41 identifies a clock signal at the rise of the input signal and outputs a signal indicating a phase relation between the input signal and the clock signal. In other words, when the phase of the clock signal gets ahead of the phase of the input signal, the D-F/F 41 outputs "1" to a positive logical output terminal (a Q terminal). On the contrary, when the phase of the clock signal gets behind the phase of the input signal, the D-F/F 41 outputs "0" to the positive logical output terminal. Alternatively, the D-F/F 42 identifies the clock signal at the rise of the input signal and outputs a signal indicating a phase relation between the input signal and the clock signal. When the phase of the clock signal gets ahead of the phase of the input signal, the D-F/F 41 outputs "0" to a negative logical output terminal (a QB terminal). On the contrary, when the phase of the clock signal gets behind the phase of the input signal, the D-F/F 41 outputs "1" to the positive logical output terminal.

[0008]

The loop filter 43 intercepts a high pitch component of the output signal of the D-F/F 41, 42. Then, the amplifier 44 amplifies the output of the loop filter 43 and controls the oscillation frequency of the VCO 45.

[0009]

As described above, a PLL capable of establishing the phase synchronization with respect to the NRZ signal to be inputted is realized.

[0010]

Japanese Patent Laid-open Publication No. 4-2221188, Japanese Patent Laid-open Publication No. 4-207631 and Japanese Patent Laid-open Publication No. 62-183216 or the like disclose the PLL by the use of two D-F/F. However, any PLL is not associated with the NRZ signal.

[0011]

[TASK TO BE SOLVED BY THE INVENTION]

According to the conventional PLL, each circuit is constituted by the use of a bipolar transistor. However, in the case of realizing such a phase comparative circuit by CMOS, the electric power consumption should be decreased.

[0012]

In the circuit by the use of the CMOS, lower the operational frequency is, the smaller the current amount flowing through the circuit (i.e., an average current) is, so that it becomes possible to decrease the electric power consumption. Alternatively, in the case that an output destination of the clock signal from the PLL is a DMUX circuit or the like, the frequency of the clock to be outputted by the VCO is allowed to be 1/2 of a clock frequency (a bit rate) of the input signal. Accordingly, if the frequency of the clock to be outputted by the VCO is made into 1/2 of the bit rate of the input signal and it is possible to make the operational frequency of the phase comparative circuit into 1/2 of the conventional one, the electric power consumption of the PLL is supposed to be decreased.

[0013]

However, the conventional PLL is not capable of comparing the phase of the input signal with the phase of the clock signal in the case that the clock signal from the VCO is $1/2$ of the bit rate of the input signal. In other words, this involves a problem such that the conventional PLL does not operate as a PLL.

[0014]

An object of the present invention is to provide a PLL capable of extracting a clock signal having a frequency that is $1/2$ of its bit rate, thereby capable of decreasing the electric power consumption.

[0015]

[SOLUTION FOR THE TASK]

According to the present invention, it is possible to obtain a PLL having a VCO for generating a clock signal having a frequency in accordance with an input voltage, a phase comparator for comparing a phase of an input signal with a phase of the clock signal and a loop filter for filtering the output of the phase comparator and supplying the filtered output to the VCO as the input voltage; wherein the VCO generates an auxiliary clock signal having a phase difference of 90 degrees with respect to the present clock signal as well as generates the clock signal; the phase comparator compares the phase of the input signal with the phase of the clock signal and further and compares the phase of the input signal with the phase of the auxiliary clock signal, so that, in the case that the clock signal has a clock frequency that is $1/2$ of a bit rate of the

input signal, it is possible to supply a signal indicating whether the phase of the clock signal gets advance of or gets behind the phase of the input signal to the loop filter by combining these phase comparison results.

[0016]

Alternatively, according to the present invention, it is possible to obtain a PLL, wherein the phase comparator has two D flip flops, in which the clock signal and the auxiliary clock signal are inputted in a data input terminal, respectively, and these input signals are together inputted in a clock input terminal; and a gate circuit for generating a signal indicating whether the phase gets advance or behind from the output of the two D flip flops.

[0017]

As the gate circuit, it is possible to use a pair of CMOS switches for putting through / intercepting a positive logical output and a negative logical output of one of the two D flip flops on the basis of a positive logical output and a negative logical output of other one of the two D flip flops and further, it is possible to use an exclusive logical addition gate for outputting a positive logical output or a negative logical output of one of the two D flip flops and a positive logical output or a negative logical output of other one of the two D flip flops.

[0018]

[OPERATION]

The VCO is capable of generating a clock signal with a

frequency that is $1/2$ of the bit rate of the input signal and generates two clock signals having a phase difference of 90 degrees with each other (0 degree and 90 degrees). The two clock signals are inputted into the data input terminals of the different D-F/F. In the clock input terminals of respective D-F/F, the input signals are inputted. At the rising timing of the input signal, the D-F/F identifies a clock signal. Since two clock signals, which are inputted in the data input terminals of respective D-F/F, have the phase difference of 90 degrees with each other, if the outputs of these D-F/F are combined by a CMOS switch or the like, a signal indicating the advance and the delay of the phase of the clock signal having a frequency that is $1/2$ of the bit rate of the input signal with respect to the input signal is obtained. This signal is used for controlling the VCO through a filter and a phase of a clock signal to be generated by the VCO is synchronized with a phase of the input signal.

[0019]

[MODE FOR CARRYING OUT THE INVENTION]

Hereinafter, the embodiments according to the present invention will be explained with reference to the drawings.

[0020]

FIG. 1 shows a first embodiment according to the present invention. A PLL shown in FIG. 1, a clock input terminal (a C terminal) has two D-F/F 2, 3, which are connected to a signal input terminal 1, a phase comparative circuit 6 having CMOS switches 4, 5, a filter 7 and a VCO 8 capable of outputting a

clock signal having a frequency that is $1/2$ of a clock rate of an input signal and generating a clock signal having a phase difference of 90 degrees with each other.

[0021]

In this case, a data input terminal (a D terminal) of the D-F/F 2 is connected to the VCO 8 so that a clock signal (of which phase is synchronized with a phase of a clock signal to be supplied to an output terminal 9) having a phase of 0 degree is inputted therein. Alternatively, a data input terminal of the D-F/F 3 is connected to the VCO 8 so that a clock signal (of which phase gets advance by 90 degrees of a phase of a clock signal to be supplied to the output terminal 9) having a phase of 90 degree is inputted therein. Further, a positive logical output terminal of the D-F/F 2 (a Q terminal) is connected to an input terminal of a CMOS switch 4 and a negative logical output terminal of the D-F/F 2 (a QB terminal) is connected to an input terminal of a CMOS switch 5. Furthermore, a positive logical output terminal of the D-F/F 3 is connected to a positive logical control terminal of the CMOS switch 4 and a negative logical control terminal of the CMOS switch 5. A negative logical output terminal of the D-F/F 3 is connected to a negative logical control terminal of the CMOS switch 4 and a positive logical control terminal of the CMOS switch 5. Then, both of the output terminals of the CMOS switches 4 and 5 are connected to an input terminal of the filter 7 and an output terminal of the filter 7 is connected to a control terminal of the VCO 8, so that they constitute a PLL.

[0022]

In the next place, with reference to FIG. 2, the operation of the PLL shown in FIG. 1 will be explained. At first, a method to compare a phase of a clock having a frequency that is $1/2$ of a bit rate of an input signal (a NRZ signal) with a phase of an input signal will be explained.

[0023]

Since there is a phase difference of 90 degrees with each other between the phases of the two clock signals to be generated by the VOC 8, a relation as shown in FIG. 2(a) is obtained. In this case, one period of the clock signal of 0 degree is divided into four and respective areas are defined as α , β , γ and δ . One bit of the input signal corresponds to a half period of the clock signal, so that, when its rise exists in the area of α or the area of γ , the phase of the clock signal gets advance of the phase of the input signal. Alternatively, when the rise of the input signal exists in the area of β and the area of δ , the phase of the clock signal gets behind the phase of the input signal.

[0024]

When the rise of the input signal is found in the area α , the clock signal of 0 degree is in a condition of "1". Additionally, when the rise of the input signal is found in the area β , the clock signal of 0 degree is also in a condition of "1". Accordingly, it is not possible to determine what area the rise of the input signal exists in only from the condition of the clock signal of 0 degree. In other words, it is not

possible to determine whether the phase of the clock signal gets advance of or gets behind the phase of the input signal. Similarly, when the rise of the input signal exists in the areas γ and δ , it is also not possible to determine whether the phase of the clock signal gets advance of or gets behind the phase of the input signal.

[0025]

However, with respect to the clock signal of 90 degrees, if the rise of the input signal exists in the area α , it is in a condition of "1". On the contrary, if the rise of the input signal exists in the area β , it is in a condition of "0". Alternatively, if the rise of the input signal exists in the area γ , it is in a condition of "0". On the contrary, if the rise of the input signal exists in the area δ , it is in a condition of "1". Accordingly, in view of both conditions of the clock signal of 0 degree and the clock signal of 90 degrees, it is possible to determine what area the rise of the input signal exist in. In other words, it is possible to determine whether the phase of the clock signal gets advance of or gets behind the phase of the input signal. In the PLL shown in FIG. 1, such determination is realized by two D-F/F 2, 3.

[0026]

The D-F/F 2, 3 sample the clock signal of 0 degree and the clock signal of 90 degrees at timing of the rise of the input signal, respectively. In the case that the phase of the clock signal of 0 degree gets advance of the phase of the input signal, for example, the wave forms shown in FIG. 2(b) are obtained.

In other words, at sampling points A and B, the D-F/F 2 outputs "0" to the positive logical output terminal and the D-F/F 3 also outputs "0" to the positive logical output terminal. This corresponds to the case that the rise of the input signal exists in the area γ shown in FIG. 2(a). Alternatively, at a sampling point C, the D-F/F 2 outputs "1" to the positive logical output terminal and the D-F/F 3 also outputs "1" to the positive logical output terminal. This corresponds to the case that the rise of the input signal exists in the area α shown in FIG. 2(a).

[0027]

In the case that the both of the D-F/F 2 and 3 output "1" to the positive logical output terminal and outputs "0" to the negative logical output terminal, on the basis of the output of the D-F/F 3, the CMOS switch 4 is turned on and the CMOS switch 5 is turned off. Then, since the input terminal of the CMOS switch 4 is provided with "1" from the positive logical output terminal of the D-F/F 2, its output becomes "1". Alternatively, in the case that the both of the D-F/F 2 and 3 output "0" to the positive logical output terminal and outputs "1" to the negative logical output terminal, on the basis of the output of the D-F/F 3, the CMOS switch 4 is turned off and the CMOS switch 5 is turned on. Then, since the input terminal of the CMOS switch 5 is provided with "1" from the negative logical output terminal of the D-F/F 2, its output becomes "1". In other words, as shown in FIG. 2(b), in the case that the phase of the clock signal of 0 degree gets advance of the phase of the input signal, "1" is inputted in the loop filter.

[0028]

On the contrary, in the case that the phase of the clock signal of 0 degree gets behind the phase of the input signal, for example, the wave forms shown in FIG. 2(c) are obtained. In other words, at sampling points A' and B', the D-F/F 2 outputs "1" to the positive logical output terminal and the D-F/F 3 outputs "0" to the positive logical output terminal. This corresponds to the case that the rise of the input signal exists in the area β shown in FIG. 2(a). Alternatively, at a sampling point C', the D-F/F 2 outputs "0" to the positive logical output terminal and the D-F/F 3 outputs "0" to the positive logical output terminal. This corresponds to the case that the rise of the input signal exists in the area δ shown in FIG. 2(a).

[0029]

In the case that the D-F/F 2 outputs "1" to the positive logical output terminal and the D-F/F 3 outputs "0" to the positive logical output terminal, on the basis of the output of the D-F/F 3, the CMOS switch 4 is turned off and the CMOS switch 5 is turned on. In this case, since the input terminal of the CMOS switch 5 is provided with "0" from the negative logical output terminal of the D-F/F 2, its output becomes "0". Alternatively, in the case that the D-F/F 2 outputs "0" to the positive logical output terminal and the D-F/F 3 outputs "1" to the positive logical output terminal, on the basis of the output of the D-F/F 3, the CMOS switch 4 is turned on and the CMOS switch 5 is turned off. In this case, since the input terminal of the CMOS switch 4 is provided with "0" from the

positive logical output terminal of the D-F/F 2, its output becomes "0". Thus, in the case that the phase of the clock signal of 0 degree gets behind the phase of the input signal, as shown in FIG. 2(c), "0" is inputted in the loop filter.

[0030]

As described above, according to the PLL shown in FIG. 1, the phase comparative circuit 6 is capable of comparing the phase of the input signal with the phase of the clock signal having a frequency that is 1/2 of the bit rate of the input signal.

[0031]

The comparison result at the phase comparative circuit 6 is supplied to the VCO after it is outputted to the filter 7 and the high pitch wave is removed therefrom.

[0032]

A PLL for 2.4 Gb/s optical communication having the present embodiment was manufactured by way of trial. This PLL generates a clock signal of 1.2 GHz in synchronization with a NRZ signal to be inputted. Alternatively, a consumption power was about 1/2 of a conventional one.

[0033]

In the next place, with reference to FIG. 3, a second embodiment of the present invention will be explained. This PLL has an exclusive logical addition gate (EX - OR) 10 in place of the CMOS switches 4 and 5 shown in FIG. 1.

[0034]

In the EX-OR 10, its input terminal is connected to the

positive logical output terminal of the D-F/F 2 and the negative logical output terminal of the D-F/F 3. When the both of the D-F/F 2 and 3 output "0" or "1" to the positive logical output terminal, the EX-OR 10 outputs "0". Alternatively, when the D-F/F 2 outputs "0" to the positive logical output terminal and the D-F/F 3 outputs "1" to the positive logical output terminal and when the D-F/F 2 outputs "1" to the positive logical output terminal and the D-F/F 3 outputs "0" to the positive logical output terminal, the EX-OR 10 outputs "1". Therefore, it is possible to realize the same operation as that of the PLL shown in FIG. 1.

[0035]

According to the present embodiment, by using the exclusive logical addition gate, it is possible that other circuits constitute the bipolar transistor. Although it is not realized to extremely decrease the electric power consumption according to this embodiment as the case that the CMOS is used, in accordance with lowering of the operation speed, it becomes possible to decrease the power supply voltage, so that it can be said that this embodiment has an effect of decreasing the electric power consumption.

[0036]

[EFFECT OF THE INVENTION]

According to the present invention, a phase of an output clock signal and a phase of a clock having a phase difference of 90 degrees with respect to the output clock signal are compared to a phase of an input signal, respectively. Therefore,

even if a frequency of the output clock signal is $1/2$ of a bit rate of the input signal, it is possible to compare the phase of the output clock signal with the phase of the input signal. As a result, it is possible to lower the operational speed of respective circuits and thereby, lowering of the electric power consumption is capable of being realized.

[BRIEF DESCRIPTION OF THE DRAWINGS]

[Fig. 1]

FIG. 1 is a block diagram for showing a first embodiment according to the present invention;

[Figs. 2]

FIGS. 2 are wave form diagrams for explaining the operation of a PLL shown in FIG. 1; FIG. 2 (a) is a drawing for explaining a phase relation between a clock signal of 0 degree and a clock signal of 90 degrees and a phase relation between these signals and an input signal; FIG. 2 (b) is an output wave form diagram of each part in the case that a phase of an output clock signal gets advance of a phase of an input signal; and FIG. 2 (c) is an output wave form diagram of each part in the case that the phase of the output clock signal gets behind the phase of the input signal.

[Fig. 3]

FIG. 3 is a block diagram for showing a second embodiment according to the present invention; and

[Fig. 4]

FIG. 4 is a conventional PLL block diagram.

[EXPLANATION OF REFERENCE NUMERALS]

1: signal input terminal
2, 3: D-F/F
4, 5: CMOS switch
6: phase comparative circuit
7: filter
8: VCO
9: output terminal
10: exclusive logical addition gate (EX-OR)
40: input terminal
41, 42: D-F/F (D-flip flop)
43: loop filter
44: amplifier
45: VCO (Voltage Controlled Oscillator)

図訳

FIG. 2 (a)

VCO output (0 degree)

VCO output (90 degrees)

FIG. 2 (b)

Data input

VCO output (0 degree)

VCO output (90 degrees)

D-F/F 2 output (Q)

D-F/F 3 output (Q)

Loop filter input